

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-284132

(43)Date of publication of application : 15.11.1989

(51)Int.Cl. H04L 7/08
H03L 7/08
H04J 3/07

(21)Application number : 63-114205 (71)Applicant : FUJITSU LTD

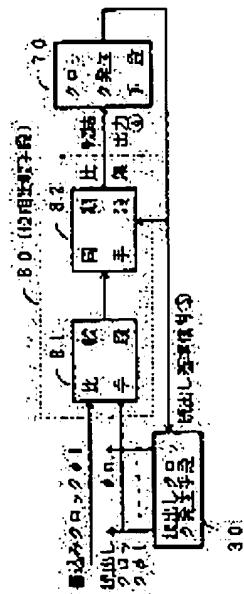
(22)Date of filing : 11.05.1988 (72)Inventor : KOSUGI TORU
FURUKAWA TAKAHIRO
NOZAWA AKIRA

(54) PHASE COMPARISON CIRCUIT

(57)Abstract:

PURPOSE: To prevent a control error from being given to a clock generating means by providing a synchronizing means to restrike a compared result output to be outputted from a comparing means by a read reference signal to be outputted from the clock generating means.

CONSTITUTION: The write clock φ_1 of a first phase of timing for writing data in the memory of a first stage and the read clock φ_1 of the first phase of the timing for reading the data from the memory of the first stage are phase-compared by a comparing means 81, and the compared result output is restruck by the timing of the read reference signal 5 for accessing a read clock generating means 30 to be outputted from the clock generating means 70 by the synchronizing means 82. Thus, the phase relative position of a read clock against a write clock can be always maintained at a fixed position regardless of both the number of memory stages and the duty factor of the clock to be standard and besides, without giving the control error to the clock generating means 70.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-284132

⑬ Int.Cl.

H 04 L 7/08
H 03 L 7/08
H 04 J 3/07

譲別記号

序内整理番号

A-6914-5K
Z-8731-5J
6914-5K検査請求 未請求 請求項の数 ! (全?頁)

⑭ 公開 平成1年(1989)11月15日

⑮ 発明の名称 位相比較回路

⑯ 特 願 昭63-114205

⑯ 出 願 昭63(1988)5月11日

⑰ 発明者 小杉 亨 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内
 ⑰ 発明者 古川 隆弘 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内
 ⑰ 発明者 野澤 晃 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内
 ⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
 ⑰ 代理人 弁理士 井桁 貞一

明細書

ことを特徴とする位相比較回路。

1. 発明の名称

位相比較回路

2. 特許請求の範囲

複数段のメモリ素子からなるメモリに書き込まれている入力データを読み出すために前記メモリ段に対応して複数相の読み出しクロック(61～6n)を発生する読み出しクロック発生手段(30)から第1相の読み出しクロック(61)と、前記入力データと同一速度を有するクロックに基づき、前記入力データを前記メモリの一段目へ書き込むための第1相の書き込みクロック(61)との位相を比較する比較手段(81)と、

所定自走発振周波数を有するフェーズロックドループからなるクロック発生手段(70)から出力する前記読み出しクロック発生手段(30)をアクセスするための所定速度の読み出し基準信号(66)にて前記比較手段(81)から出力する比較結果出力を打ち直す同期手段(62)とを備える

3. 発明の詳細な説明

〔概要〕

データの書き込みクロックと読み出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフェーズロックドループの出力を制御する位相比較回路に関し、

メモリ段数にも基準となるクロックのデューティ比(タクタ)にも無関係でしかもクロック発生回路に対して誤制御をかけることがない位相比較回路を実現することを目的とし、

複数段のメモリ素子からなるメモリに書き込まれている入力データを読み出すために前記メモリ段に対応して複数相の読み出しクロックを発生する読み出しクロック発生手段からの第1相の読み出しクロックと、入力データと同一速度を有するクロックに基づき、入力データを前記メモリの一段目へ書き込むための第1相の書き込みクロックとの位相を比較する比較手段と、所定自走発振周波数を有する

フェーズロックループからなるクロック発生手段から出力する読出しクロック発生手段をアクセスするための所定速度の読出し基準信号にて前記比較手段から出力する比較結果出力を打ち直す同期手段とを組み構成する。

(産業上の利用分野)

本発明は、データの書き込みクロックと読み出しクロックの位相比較結果により、所定自走発振周波数を有して所定速度のクロックを発生するフェーズロックループの出力を制御する位相比較回路に関する。

例えば、ディジタル伝送方式で正しく信号を再生するための同期処理の1つとして、スクッフルスの挿入・除去により同期を取るスタッフ同期方式が採用されている。

このような場合におけるパルススタッフの送受信側では、バッファメモリ、読み出しクロック、書き込みクロックと、位相比較回路、電圧制御発振回路（以下VCOと称する）等からなるフェーズ

ロックループ（以下PLSと称する）を用いて、スタッフパルスを挿入・除去し、クロック周波数の変換を行うことにより同期を取っている。

この時のバッファメモリは FIFO のメモリ黑白子を複数段使用し、シリアルデータを複数のパラレルデータに変換して書き込み、パラレルデータをシリアルデータに変換しながら読み出すことによりクロック周波数の変換を行っている。

かかる変換がバッファメモリの段数の変更やクロックのデューティ比等に無関係に行われ、しかも変換時に発生するジャッタを少なくすることが必要である。

(従来の技術)

第4図は従来例を説明するブロック図、第5図は従来例における処理状況を説明する図、第6図は他の従来例を説明するブロック図、第7図は他の従来例における処理状況を説明する図をそれぞれ示す。

第4図に示す従来例はメモリ1の段数を5ビッ

トにした時の例であり、この時位相比較回路2で比較するクロック位相として3相目の書き込みクロックφ3 (=φ2/2) と、1相目の読み出しクロックφ1とした場合である。

書き込みクロック発生回路2は書き込みデータ①と同期して送られて来る書き込み基準クロック⑤からn相の書き込みクロックφ1～φnを発生する。

この各相の書き込みクロックφ1～φnはメモリ1のn段（ビット）にそれぞれ対応したものとなる。又、読み出しクロック発生回路3から発生する各相の読み出しクロックφ1～φnも同様にメモリ1のn段（ビット）にそれぞれ対応したものとなる。

メモリ1はシリアルで入力する書き込みデータ①を書き込みクロックφ1～φnにより各段（ビット）をパラレルに変換して書き込み保持し、流出しクロックφ1～φnにて読み出す場合にはシリアルに変換して読み出す。

クロック発生回路5は読み出しクロック発生回路3及び位相比較回路4とで形成したディジタルP

L（以下DPLSと称する）をなし、位相比較回路4からの比較結果信号を直流成分にして、その大小直流成分にて自走発振周波数を捉え、これを読み出し基準クロック⑥として発生している。

尚、DPLSの基本的構成としては、ディジタル変換した入力信号をディジタル電圧制御発振器（以下VCOと称する）から出力する信号と位相比較し、その比較結果はディジタルフィルタを介してディジタルVCOの制御信号として印加され、一方ではアナログ変換して出力信号として取り出すように構成されている。

第5図(A)は書き込みデータ①をパラレルに変換して書き込む状況を示す。即ち、5ビットのデータA～Eをメモリ1へ書き込む場合、書き込みクロックφ1にてデータAを書き込み、書き込みクロックφ5にてデータEを書き込む。

この時のメモリ1を読み出す位相としては、書き込みクロックφ1～φ5の中間の位相位置から読み出しを開始した方がクロックの位相ばらつきに対し一番安全である。

即ち、メモリ1に対する書き込みデータのタイミングと読み出すタイミングとは非同期でしかも速度も異なるため、メモリ1へデータを書き込み開始したと同時に読み出しを開始すると、旧データを読み出す可能性があり、又メモリ1へデータの書き込みが完了してから読み出しを開始すると処理時間が長くなる等の問題が発生する。

従って、上述の5ビットのデータA～Eの場合には、書き込みクロックφ3にてデータCが書き込み終了した時点からデータAの読み出しを開始するように設定されている。

従って、位相比較回路4は書き込みクロックφ3と読み出しクロックφ1との位相比較を行い、位相が一致した場合にはその比較結果出力は“0”レベルで出力せず、ずれ量に応じて“H”又は“L”信号を出力する。

クロック発生回路5はこの比較結果信号①により、読み出し基準クロック⑤の周期を制御する。即ち、第5図(B)に示すように比較結果信号①が“H”的時はクロック発生回路5は周期を

短くし、“L”的時は周期を長くするように制御した読み出し基準クロック⑥を発生する。

従って、第5図(C)に示すように、書き込みクロックφ3を中心に読み出しクロックφ1の位相は時間的に前後に動くことになる。

上述の第4図に示す従来例において、例えばメモリ1の段数を5ビットから10ビットに変更し、位相比較回路4での位相比較位置を5ビットの時と同じく書き込みクロックφ3と読み出しクロックφ1とで行うと、第5図(D)で示すように読み出しクロックφ1の前後の余裕にばらつきが生じることになる。

即ち、前余裕が2ビットで後余裕が8ビットとばらつき、このばらつきの幅によってはデータ読み出しが旧データを読み出す可能性があるため、位相比較位置を6相目にすることにより前後の余裕を均一にする必要がある。

一方、第6図に示す他の従来例では書き込みクロックφ1と読み出しクロックφ1との位相を比較する2つのフリップフロップ回路(以下F、下同)

路と称する)61、62を有し、F、下回路61、62の出力を並列的論理和する並列的論理和回路(以下E～OR回路と称する)63とを備えて構成されている。

又、この時のクロック発生回路7を構成するP-Lしは、第7図に示すような並列比較結果信号④“H”的時間と“L”的時間の時間差を積分し、この差の和がある値に達した時に読み出し基準クロック⑥の周期を変えるように制御するものである。

従って、第6図に示す従来例では、メモリ段数を変更しても比較する位相位置を変更する必要がなく、しかも基準となるクロックのデューティファクタにも無関係になる。

(発明が解決しようとする課題)

上述のように第4図に示す従来例では、メモリ段数を変更する度に比較する位相位置を変更する必要があり、しかも書き込みクロックに対する読み出しクロックの位置が中心位置に設定するためには、

比較する書き込みクロックのデューティファクタが50%である必要がある。

一方、第6図に示す従来例ではメモリ段数を変更しても比較する位相位置を変更する必要はなく、しかも基準となるクロックのデューティファクタにも無関係になるが、位相比較結果信号④の立ち上がりエッジが読み出し基準クロック⑥に対して非同期であるため、クロック発生回路7に対して誤制御をかける可能性があった。

本発明は、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生回路7に対して誤制御をかけることがない位相比較回路を実現することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の61は複数段のメモリに書き込まれている入力データを読み出すためにメモリ段に対応して複数相の読み出しク

ロック ϕ 1～ ϕ 6を発生する読み出しクロック発生手段30からの第1相の読み出しクロック ϕ 1と、入力データと同一速度を有するクロックに基づき、入力データをメモリの一時記憶用に第1相の書き込みクロック ϕ 1との位相を比較する比較手段であり、

8-2は所定自己発振周波数を有するフェーズロックループからなるクロック発生手段70から出力する読み出しクロック発生手段30をアクセスするための所定速度の読み出し基準信号④にて比較手段8-1から出力する比較結果出力を打ち直す同期手段であり、

かかる手段を備えることにより本課題を解決するための手段とする。

(作用)

1段目のメモリに対してデータを書き込むためのタイミングである1相目の書き込みクロック ϕ 1と1段目のメモリからデータを読み出すためのタイミングである1相目の読み出しクロック ϕ 1とを比較

手段8-1にて位相比較し、その比較結果出力を同期手段8-2にてクロック発生手段70から出力する読み出しクロック発生手段30をアクセスするための読み出し基準クロックのタイミングで打ち直すことにより、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかもクロック発生手段70に対して誤制御をかけることがなく、書き込みクロックに対する読み出しクロックの位相比較位置を常に一定位置で確保することが可能となる。

(実施例)

以下本発明の要旨を第2図、第3図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、第3図は本発明の実施例における処理状況を説明する図をそれぞれ示す。尚、全圖を通じて同一符号は同一対象物を示す。

第2図に示す本発明の位相比較手段8-0aは以下の手順に説明する機能ブロックを備える位相比較手段8

0-aの実施例であり、第1図で説明した比較手段8-1として、第3図で説明した2つのF₁、F₂回路6-1、6-2とE-OR回路6-3からなる比較部8-1a、

同期手段8-2として、インバータ回路8-2bと2つのF₁、F₂回路8-2c、8-2dからなる同期部8-2aから構成した例である。

又、本実施例のメモリ1は第4図で説明したのと同じ内容する有するメモリ段数が5ビットの場合であり、その時の書き込みクロック ϕ 1～ ϕ 5と読み出しクロック ϕ 1～ ϕ 5の位相比較は、第1相目である書き込みクロック ϕ 1と読み出しクロック ϕ 1で行うものとする。

この2つのクロック ϕ 1を比較する比較部8-1aの出力は、第3図(C)の上段の信号(位相比較④)で示すとなり、これを同期部8-2aで読み出し基準クロック(信号⑤)で打ち直し同期処理した信号が、第3図(C)の下段に示す信号(同期位相比較出力⑥)で示す)である。

本実施例のクロック発生回路7-0aは第7図で

説明したのと同一の内容を有するもので、同期部8-2aの出力の“H”の時間と“L”の時間差を積分し、この差の和がある値に達した時に読み出し基準クロック(信号⑤)の周期を変える制御を行うものである。

尚、この同期部8-2aの出力④は読み出し基準クロック(信号⑤)と同期しているため、クロック発生回路7-0aに対して誤制御を掛けることが防止される。

(発明の効果)

以上のような本発明によれば、メモリ段数にも基準となるクロックのデューティファクタにも無関係でしかも読み出しクロックを作成するための読み出し基準信号を発生するクロック発生回路に対しても誤制御をかけることがない位相比較回路を実現することが出来る。

4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、

第2図は本発明の実施例を説明するブロック図、
第3図は本発明の実施例における処理状況を説明する図、

81は比較手段、
81aは比較部、
をそれぞれ示す。

第4図は従来例を説明するブロック図、
第5図は従来例における処理状況を説明する図、
第6図は他の従来例を説明するブロック図、
第7図は他の従来例における処理状況を説明する

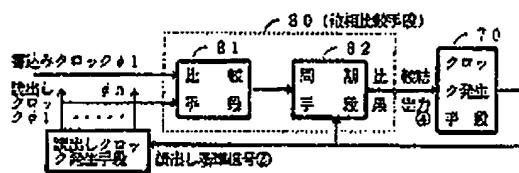
代理人弁護士井藤貞一



図、
をそれぞれ示す。

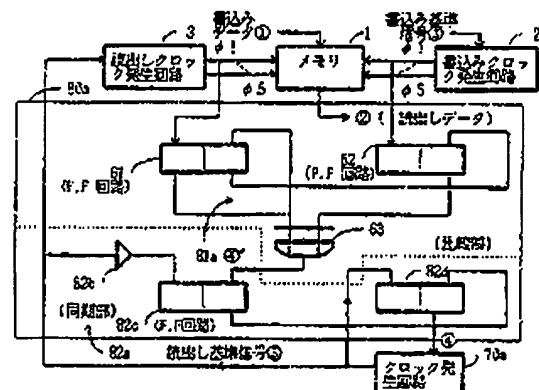
図において、

- 1はメモリ、
- 2は審込みクロック発生回路、
- 3は流出しクロック発生回路、
- 4、6は位相比較回路、
- 5、7、70aはクロック発生回路、
- 30は流出しクロック発生手段、
- C1、62、82c、82dはF、P回路、
- 70はクロック発生手段、
- 80は位相比較手段、
- 80aは位相比較部、



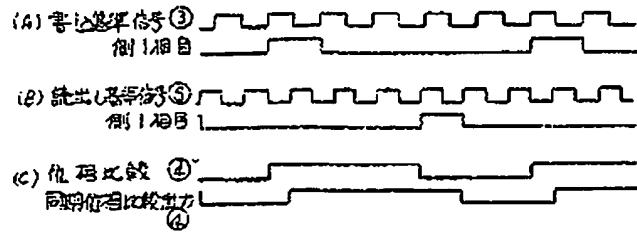
本発明の処理を説明するブロック図

第1図



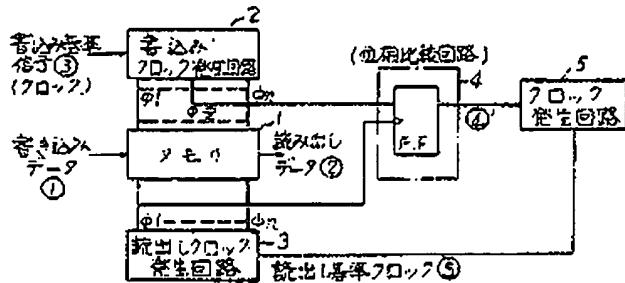
本発明の処理を説明するブロック図

第2図



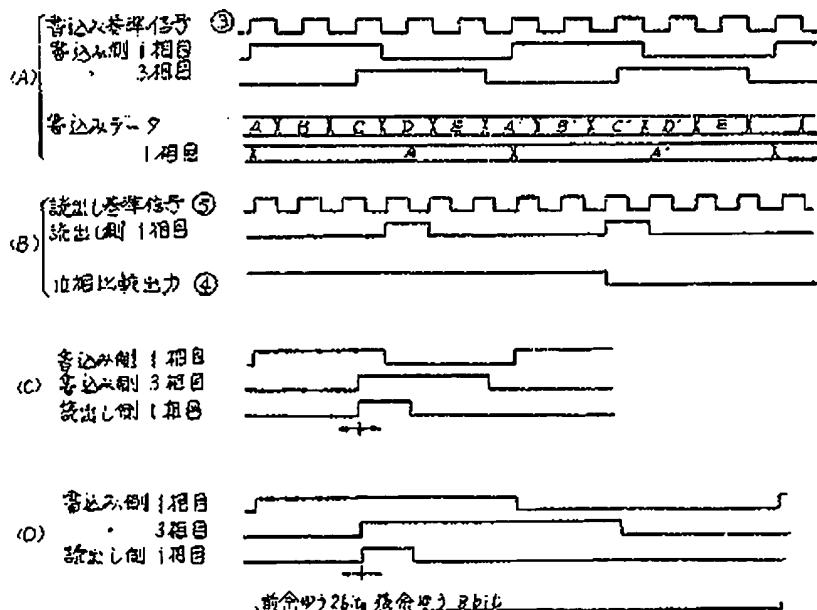
改進例の実施例における処理状況を説明する図

第 3 図



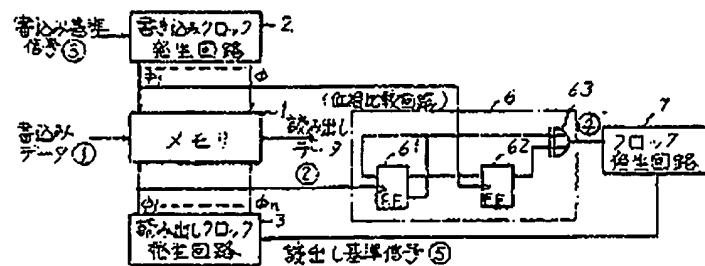
従来例を説明するプロック図

第 4 図



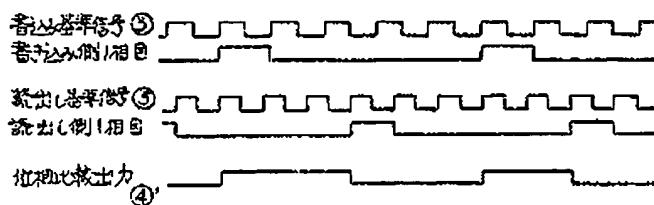
従来例における処理状況を説明する図

第 5 図



他の従来例を説明するブロック図

第 6 図



他の従来例における処理状況を説明する図

第 7 図